

6 6-6-02 Moleish

J1046 U.S. PTO
10/054528
01/22/02



대한민국 특허청

KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2001년 제 52387 호
Application Number PATENT-2001-0052387

출원년월일 : 2001년 08월 29일
Date of Application AUG 29, 2001

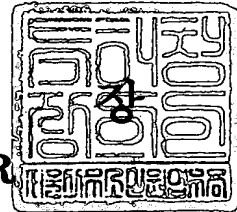
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2001 년 10 월 05 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【제출일자】	2001.08.29		
【발명의 명칭】	반도체소자 및 그 제조 방법		
【발명의 영문명칭】	SEMICONDUCTOR DEVICE AND FABRICATING METHOD OF THE SAME		
【출원인】			
【명칭】	주식회사 하이닉스반도체		
【출원인코드】	1-1998-004569-8		
【대리인】			
【명칭】	특허법인 신성		
【대리인코드】	9-2000-100004-8		
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천		
【포괄위임등록번호】	2000-049307-2		
【발명자】			
【성명의 국문표기】	최형복		
【성명의 영문표기】	CHOI, Hyung Bok		
【주민등록번호】	711120-1011811		
【우편번호】	449-846		
【주소】	경기도 용인시 수지읍 풍덕천리 1112 신정마을 현 대성우아파트 808-9 02		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 특허법인 신성 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	6	면	6,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	19	항	717,000 원
【합계】	752,000 원		

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 캐패시터 희생막 패턴 형성시 오정렬이 발생할 경우 배리어층과 유전체층의 직접적인 접촉에 따른 유전 특성 열화를 방지하기에 적합한 반도체소자 및 그 제조 방법을 제공하기 위한 것으로, 이를 위해 본 발명은 전도층을 구비한 기판 상부에 제공되는 절연층을 관통하여 상기 전도층에 연결된 연결부; 상기 연결부 및 상기 절연층이 이루는 주면 상에 제공되며, 적어도 상기 연결부를 오픈시키는 씨드분리층; 적어도 상기 씨드분리층의 오픈부에 매립된 씨드층; 및 상기 씨드층 상에 형성된 하부전극과, 상기 하부전극 상에 형성된 유전체층 및 상기 유전체층 상에 형성된 상부전극을 포함하는 캐패시터를 포함하는 반도체소자를 제공한다.

또한, 본 발명은, 전도층을 구비한 기판 상부의 절연층을 관통하여 상기 전도층에 연결되는 연결부를 형성하는 단계; 상기 연결부 및 상기 절연층이 이루는 주면 상에 상기 연결부를 오픈시키는 씨드분리층을 형성하는 단계; 적어도 상기 씨드분리층의 오픈부를 매립하도록 씨드층을 형성하는 단계; 상기 씨드층 상에 캐패시터의 하부전극을 형성하는 단계; 상기 하부전극 상에 캐패시터의 유전체층을 형성하는 단계; 및 상기 유전체층 상에 캐패시터의 상부전극을 형성하는 단계를 포함하여 이루어지는 반도체소자 제조 방법을 제공한다.

【대표도】

도 4d

【색인어】

오정렬, 씨드층, 전기화학증착, ECD, 캐패시터.

【명세서】**【발명의 명칭】**

반도체소자 및 그 제조 방법{SEMICONDUCTOR DEVICE AND FABRICATING METHOD
OF THE SAME}

【도면의 간단한 설명】

도 1a 내지 도 1c는 종래기술에 따른 반도체소자 제조 공정을 도시한 단면도,
도,

도 2는 종래기술에 따른 반도체소자에서의 문제점을 도시한 단면도,

도 3은 종래기술에 따른 반도체소자에서의 문제점을 도시한 사진,

도 4a 내지 도 4d는 본 발명의 일실시예에 따른 반도체소자 제조 공정을 도시한 단면도,

도 5는 본 발명에서 종래기술의 문제점이 해결됨을 도시한 단면도,

***도면의 주요 부분에 대한 부호의 설명**

41 : 기판

42 : 전도층

43 : 절연층

44 : 연결부

45 : 씨드분리층

46 : 씨드층

50 : 하부전극

51 : 유전체층

52 : 상부전극

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<12> 본 발명은 반도체 기술에 관한 것으로, 특히 캐패시터를 구비하는 반도체소자 및 그 제조 방법에 관한 것이다.

<13> 반도체소자에서 캐패시터의 정전용량(Capacitance; C)은 $\frac{\epsilon A}{d}$ (ϵ : 유전율, A: 표면적, d: 유전체 두께)로 나타내는데, 스토리지전극의 표면적과 유전체의 유전율에 비례하는 값을 갖는다.

<14> 따라서 미세화되어 가는 반도체소자의 제조 공정에 있어 반도체소자가 적절히 동작하기 위한 일정량 이상의 정전용량을 확보하기 위하여 스토리지(Storage)전극의 모양을 3차원 구조로 형성하여 스토리지 전극의 표면적을 증가시키거나, 높은 유전율을 갖는 BST[(Ba,Sr)TiO₃] 등과 같은 고유전체 물질을 사용하여 정전용량을 확보하는 방법이 연구되고 있다.

<15> 그러나, 3차원 형태의 스토리지 전극을 형성하기에는 복잡한 공정이 요구되므로 제조 원가의 상승 및 공정 증가에 따른 수율 하락의 단점이 있으며, BST 고유전체의 사용은 산소 화학정량(Oxygen stoichiometry)을 엄격히 유지하기 어려워 누설전류 특성이 열화되는 문제가 있다.

- <16> 또한, BST 등을 유전체로 이용한 캐패시터의 경우 전극으로 산화저항성이 큰 백금(Pt), 루테튬(Ru)과 같은 귀금속(Noble metal)을 사용해야 하는데, 이런 귀금속이 매우 안정하여 식각 공정이 어려울 뿐만 아니라, 주로 스퍼터법(Sputtering)과 같은 건식 식각을 진행하므로 수직 프로파일을 얻기 어려운 문제점이 있다.
- <17> 이를 해결하기 위해 산화막 등의 희생막을 이용하여 캐패시터 패턴을 형성한 후 귀금속을 전기화학증착법(Electro Chemical Deposition; 이하 ECD라 함)을 이용하여 증착한 후, 에치백하는 방법이 연구되었다.
- <18> 도 1a 내지 도 1c는 종래기술에 따른 반도체소자 제조 공정을 도시한 단면도이다.
- <19> 먼저, 도 1a에 도시된 바와 같이 기판(11)상에 트랜지스터 제조 공정을 실시하는 바, 먼저 기판(11)상에 워드라인(도시하지 않음), 소스/드레인(12)을 형성한 후, 기판(11)상에 층간절연막(13)을 증착한다.
- <20> 이어서, 층간절연막(13)을 선택적으로 식각하여 소스/드레인(12)의 소정 부분을 노출시키는 콘택홀을 형성하고, 콘택홀을 포함한 전면에 폴리실리콘을 증착한 후, 에치백(Etchback) 또는 화학적기계적연마(Chemical Mechanical Polishing; 이하 CMP라 함) 공정으로 콘택홀에 매립되는 폴리실리콘 플러그(14)를 형성한다.
- <21> 이어서, 폴리실리콘 플러그(14)상에 백금씨드층(15)을 형성한 다음, 백금씨드층(15)상에 캐패시터 희생막(16)을 증착한다.

- <22> 여기서, 백금씨드층(15)은 하부전극을 전기화학증착법(ECD)으로 형성하기 위한 씨드층으로서 물리적기상증착법(Physical Vapor Deposition; 이하 PVD라 함)으로 형성한다.
- <23> 계속해서, 캐패시터 희생막(16)상에 감광막을 도포한 다음, 감광막을 노광 및 현상으로 패터닝하여 스토리지노드용 마스크(17)를 형성한 후, 마스크(17)를 이용하여 캐패시터 희생막(16)을 CF_4 , CHF_3 또는 C_2F_6 등의 가스를 이용하여 건식 식각하여 백금_씨드층(15)의 표면이 드러나는 오목부(18)를 오픈시킨다.
- <24> 다음으로 도 1b에 도시된 바와 같이, 백금씨드층(15)에 바이어스를 인가하여 노출된 백금씨드층(15)상에 전기화학증착법으로 백금하부전극(19)을 증착한 후, 캐패시터 산화막(16)을 식각하여 백금하부전극(19)이 증착되지 않은 백금씨드층(15)을 드러내고, 연속해서 드러난 백금씨드층(15)을 에치백 공정을 통해 제거한다. 이 때, 백금씨드층(15)이 서로 분리되므로 백금하부전극(19)이 인접한 셀 사이에서 분리된다.
- <25> 다음으로 도 1c에 도시된 바와 같이, 백금하부전극(19)을 포함한 전면에 BST(20)를 화학기상증착법(Chemical Vapor Deposition; 이하 CVD라 함)으로 증착한 후, BST(20)상에 CVD를 이용하여 상부전극(21)을 증착한다.
- <26> 그러나, 상기한 바와 같이 이루어지는 종래기술은 캐패시터 희생막 식각에 의한 오픈부 형성 공정시 희생막 상부의 마스크 패터닝에 따른 오정렬이 발생할 경우 후속 씨드층 제거를 위한 에치백 공정시 플러그 상부가 노출되게 된다.
- <27> 도 2의 각 도면부호 명칭은 일치되는 도 1의 도면부호와 동일하다.

<28> 따라서, 도 2에 도시된 'A'와 같이 상부 BST와 플러그(14) 상부를 이루는 배리어층과 직접적인 접촉이 이루어지므로 BST의 유전 특성이 열화되는 문제점이 발생하게 된다.

<29> 도 3은 이러한 BST와 배리어층의 접촉이 이루어짐을 도시한 사진으로서, 이러한 두 층간의 접촉(A)은 캐패시터의 유전 특성을 열화시켜 소자의 수율을 감소시키는 원인으로 작용하게 된다.

【발명이 이루고자 하는 기술적 과제】

<30> 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 제안된 것으로서, 캐패시터 희생막 패턴 형성시 오정렬이 발생할 경우 콘택 플러그와 유전체층의 직접적인 접촉에 따른 유전 특성 열화를 방지하기에 적합한 반도체소자 및 그 제조 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<31> 상기 목적을 달성하기 위한 본 발명은, 전도층을 구비한 기판 상부에 제공되는 절연층을 관통하여 상기 전도층에 연결된 연결부; 상기 연결부 및 상기 절연층이 이루는 주면 상에 제공되며, 적어도 상기 연결부를 오픈시키는 씨드분리층; 적어도 상기 씨드분리층의 오픈부에 매립된 씨드층; 및 상기 씨드층 상에 형성된 하부전극과, 상기 하부전극 상에 형성된 유전체층 및 상기 유전체층 상에 형성된 상부전극을 포함하는 캐패시터를 포함하는 반도체소자를 제공한다.

- <32> 또한, 상기 목적을 달성하기 위한 본 발명은, 전도층을 구비한 기판 상부의 절연층을 관통하여 상기 전도층에 연결되는 연결부를 형성하는 단계; 상기 연결부 및 상기 절연층이 이루는 주면 상에 상기 연결부를 오픈시키는 씨드분리층을 형성하는 단계; 적어도 상기 씨드분리층의 오픈부를 매립하도록 씨드층을 형성하는 단계; 상기 씨드층 상에 캐패시터의 하부전극을 형성하는 단계; 상기 하부전극 상에 캐패시터의 유전체층을 형성하는 단계; 및 상기 유전체층 상에 캐패시터의 상부전극을 형성하는 단계를 포함하여 이루어지는 반도체소자 제조 방법을 제공한다.
- <33> 바람직하게 본 발명의 상기 씨드층은 상기 오픈부에 매립됨과 함께 상기 연결부와 상기 유전체층 사이에 개재되어 형성되는 것을 특징으로 하며,
- <34> 상기 씨드분리층은 상기 절연층과 식각선택비를 갖는 물질을 포함하는 것을 특징으로 하며,
- <35> 상기 씨드분리층은 50Å 내지 2000Å의 두께인 것을 특징으로 한다.
- <36> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부한 도면을 참조하여 설명하기로 한다.
- <37> 도 4d는 본 발명의 일실시예에 따라 형성된 반도체소자를 도시한 단면도이다.

<38> 도 4d를 참조하면, 본 발명의 반도체소자는 소스/드레인 등의 전도층(42)을 구비한 기판(41) 상부에 제공되는 절연층(43)을 관통하여 전도층(42)에 연결된 연결부(44)와, 연결부(44) 및 절연층(43)이 이루는 주면 상에 제공되며, 적어도 연결부(44)를 오픈시키는 씨드분리층(45)과, 적어도 씨드분리층(45)의 오픈부를 매립하는 씨드층(46)과, 씨드층(46) 상에 형성된 하부전극(50)과, 하부전극(50) 상에 형성된 유전체층(51) 및 유전체층(51) 상에 형성된 상부전극(52)을 구비하는 캐패시터를 포함한다.

<39> 이하, 상기한 구성을 갖는 본 발명의 반도체소자 제조 공정을 상세히 설명한다.

<40> 도 4a 내지 도 4d는 본 발명의 일실시예에 따른 반도체소자 제조 공정을 도시한 단면도이다.

<41> 먼저, 도 4a에 도시된 바와 같이 기판(41)상에 트랜지스터 제조 공정을 실시하는 바, 먼저 기판(41)상에 워드라인(도시하지 않음), 소스/드레인 등의 전도층(42)을 형성한 후, 기판(41)상에 절연층(43)을 형성한다.

<42> 여기서, 절연층(43)은 BSG(Boro Silicate Glass), BPSG(Boro Phospho Silicate Glass), HDP(High Density Plasma) 산화막, USG(Undoped Silicate Glass), TEOS(Tetra Ethyl Ortho Silicate), APL(advanced planarization layer) 산화막, SOG(Spin On Glass) 또는 Flowfill 등을 단독 또는 둘 이상 조합한 것이다.

- <43> 이 때, 후속 공정에 따른 절연층(43)과의 식각선택비 등을 고려하여 절연층(43) 상에 실리콘산화질화막 등의 물질막(도시하지 않음)을 300Å 내지 1000Å의 두께로 추가로 증착할 수 있는 바, CVD 등을 이용한다.
- <44> 이어서, 절연층(43)을 선택적으로 식각하여 전도층(42)의 소정 부분을 노출시키는 콘택홀(도시하지 않음)을 형성한 다음, 콘택홀(도시하지 않음) 내부를 매립하여 그 상부가 절연층(43)과 배리어층(도시하지 않음) 및 플러그(도시하지 않음)를 포함하며 그 상부가 평탄화된 연결부(44)를 형성한다.
- <45> 구체적으로, 폴리실리콘 등을 콘택홀(도시하지 않음)을 포함한 전체 구조 상부에 증착하여 콘택홀(도시하지 않음)이 충분히 매립되도록 한 다음, CMP 또는 에치백을 실시하여 플러그(도시하지 않음)가 콘택홀(도시하지 않음) 내부에 매립되며, 그 상부가 절연층(43)과 평탄화되도록 하는 바, 이 때 폴리실리콘은 인(P)이나 비소(As) 등이 도핑된 폴리실리콘을 이용하며 또한, 폴리실리콘 외에 플러그(도시하지 않음) 물질로 텅스텐(W), 텅스텐실리사이드(W-silicide), TiN, TiAlN, TaSiN, TiSiN, TaN, TaAlN, TiSi 또는 TaSi 등을 이용할 수 있다.
- <46> 이러한 플러그 물질들은 CVD, PVD 또는 ALD 등을 이용하여 증착된다.
- <47> 계속해서, 배리어층(도시하지 않음)을 형성하는 바, 전면에 티타늄(Ti) 등을 증착하고 마스크를 이용한 식각 공정을 통하여 플러그(도시하지 않음) 상부에만 Ti가 남도록 한 다음, 열처리함으로써 예컨대, 플러그(도시하지 않음)의 실리콘(Si)과 티타늄(Ti)의 반응을 유발시켜 폴리실리콘 플러그(도시하지 않음)상에 티타늄실리사이드(도시하지 않음)를 형성한다. 이 때, 티타늄실리사이드(도시하지

지 않음)는 플러그(도시하지 않음)와 후속 하부전극과의 오믹 콘택을 형성해 준다.

<48> 여기서, 티타늄실리사이드(도시하지 않음)의 형성 공정은 생략할 수 있으며, 티타늄실리사이드(도시하지 않음) 이외에 WSi_x , $MoSi_x$, $CoSi_x$, $NoSi_x$ 또는 $TaSi_x$ 등의 금속실리사이드를 이용할 수 있다.

<49> 또한, 플러그(도시하지 않음)를 콘택홀 내에 매립하는 과정에서 부분 매립 (Recess) 되도록 할 수도 있는 바, 이 경우 리세스 깊이는 절연층(43)의 두께 등을 고려하여 500Å 내지 1500Å이 되도록 하는 것이 바람직하다.

<50> 플러그(도시하지 않음) 상부에는 상기한 티타늄실리사이드(도시하지 않음) 상에 배리어메탈층과 산소확산배리어층을 포함하는 배리어층(도시하지 않음)을 형성할 수도 있는 바, TiN , $TiAlN$, $TaSiN$, $TiSiN$, TaN , $RuTiN$ 및 $RuTiO$ 로 이루어지는 그룹에서 선택되는 적어도 하나를 포함하는 배리어메탈층(도시하지 않음)과 Ir , Ru , Pt , Re , Ni , Co 및 Mo 로 이루어지는 그룹에서 선택되는 적어도 하나를 포함하는 산소확산배리어층(도시하지 않음)을 이용한다.

<51> 여기서, 산소확산배리어층(도시하지 않음)은 후속 공정시 형성되는 캐패시터의 고유전체 또는 강유전체의 결정화 열처리에 따른 하지로의 산소확산을 방지하기 위한 것으로 이러한 확산 방지 특성을 향상시키기 위하여 N_2 또는 O_2 플라즈마 처리를 추가로 실시하는 것이 바람직하며, 이와 함께 열처리를 병행할 수 있다.

- <52> 이어서, 연결부(44) 및 절연층(43)이 이루는 주면 상에 연결부(44)를 오픈시키는 씨드분리층(45)을 형성한 다음, 상기 오픈부를 매립하는 씨드층(46)을 형성한다.
- <53> 이하, 구체적으로 설명한다.
- <54> 연결부(44) 및 절연층(43) 상에 질화막 계열의 씨드분리층(45)을 50Å 내지 2000Å의 두께로 증착한 후, 노광 및 현상 공정을 통한 마스크를 이용하여 연결부(44)를 오픈시킨 다음, 상기 오픈부를 포함한 전체 구조 상부에 씨드층(46)을 형성하는 바, PVD를 이용하여 상기 오픈부를 충분히 매립하도록 100Å 내지 10000Å의 두께로 두텁게 증착한다.
- <55> 이어서, CMP 또는 에치백을 통해 씨드층(46) 상부를 평탄화시키는 바, 도시된 바와 같이 씨드분리층(45) 보다 높게 하거나, 씨드분리층(45)과 평탄화되도록 할 수도 있다.
- <56> 여기서, 씨드층(46)은 Pt, Ru, Ir, Os, W, Mo, Co, Ni, Au 및 Ag로 이루어진 그룹으로부터 선택된 어느 하나를 이용할 수 있다.
- <57> 다음으로 도 4b에 도시된 바와 같이, 씨드층(46)상에 캐패시터 희생막(47)을 5000Å 내지 10000Å의 두께로 두텁게 증착한 다음, 캐패시터 희생막(47)상에 감광막을 도포한 후, 감광막을 노광 및 현상으로 패터닝하여 스토리지노드용 마스크(48)를 형성한 후, 마스크(48)를 이용하여 캐패시터 희생막(47)을 CF_4 , CHF_3 또는 C_2F_6 등의 가스를 이용하여 건식식각하여 씨드층(46) 일부를 노출시키는 오목부(49)를 오픈시킨 후 전세정 공정을 실시한다.

- <58> 여기서, 캐패시터 희생막(47)은 통상의 산화막 계열 또는 감광막 등의 비전도성 물질을 이용한다.
- <59> 다음으로 도 4c에 도시된 바와 같이, 씨드층(46)에 바이어스를 인가하여 노출된 씨드층(46)상에 전기화학증착법으로 하부전극(50)을 증착한 후 피알스트립(PR Strip) 공정을 실시하여 마스크(48)를 제거한다.
- <60> 여기서, ECD를 이용하여 하부전극(50)을 증착시 DC(Direct Current), 펄스(Pulse) 또는 역펄스(Pulse reverse) 등의 전력을 이용하며, $0.1\text{mA}/\text{cm}^2$ 내지 $10\text{mA}/\text{cm}^2$ 범위의 전류밀도를 이용하여 캐패시터 희생막(47)과의 수직 단차를 조절한다.
- <61> 계속해서, 씨드분리층(45)의 표면이 드러날 때까지 캐패시터 희생막(47)을 식각하여 하부전극(50)이 증착되지 않은 씨드층(46)을 노출시키고, 연속해서 노출된 씨드층(46)을 에치백 공정을 통해 제거한다. 이 때, 씨드층(46)이 서로 분리되므로 하부전극(50)이 인접한 셀 사이에서 분리된다.
- <62> 여기서, 캐패시터 희생막(47)의 식각은 HF 또는 HF와 NH_4F 가 혼합된 용액을 이용하는 습식식각이 바람직하며, 씨드층(46)의 제거는 통상의 건식식각을 이용한다.
- <63> 상기한 건식식각을 통해 씨드층(46)을 이루는 예컨대, Pt 등이 하부전극(50) 측벽에 재증착되어 잔유물(도시하지 않음)로 남게되는 바, 통상의 SC-1 등 SC 계열의 습식 용액을 이용하여 세정함으로써 잔유물을 제거한다.

- <64> 다음으로, 하부전극(50)을 포함한 전면에 유전체층(51)과 상부전극(52)을 차례로 형성한다.
- <65> 구체적으로, TiO_2 , HfO_2 , Y_2O_3 , Ta_2O_5 , STO (SrTiO_3), BST, PZT, PLZT ((Pb, La) (Zr , Ti) O_3), BTO (BaTiO_3), PMN($\text{Pb}(\text{Ng}_1/3\text{Nb}_2/3)\text{O}_3$), SBTN((Sr, Bi) (Ta, Nb) $_2\text{O}_9$), SBT((Sr, Bi) Ta_2O_9), BLT((Bi, La) Ti_3O_{12}), BT(BaTiO_3), ST(SrTiO_3), PT(PbTiO_3) 등의 강유전체 또는 고유전체 물질을 이용하여, 스퍼-온, CVD, ALD 또는 PVD 등의 방법을 이용하여 150Å 내지 500Å의 두께가 되도록 하며, CVD를 이용하여 BST를 증착하는 경우에는 증착 온도를 400℃ 내지 600℃의 범위로 유지하는 것이 바람직하다.
- <66> 이어서, 유전체층(51)의 유전율을 향상시키기 위한 결정화 열처리를 실시하는 바, O_2 , N_2 , Ar, O_3 , He, Ne 또는 Kr 등의 가스 분위기에서 400℃ 내지 800℃의 온도를 유지하며 진행한다.
- <67> 이 때, 확산노열처리 또는 급속열처리(Rapid Thermal Process; 이하 RTP라 함)를 이용할 수 있으며, 30초 내지 180초 동안 실시하는 것이 바람직하다.
- <68> 이어서, 유전체층(51) 상에 상부전극(52)을 형성한 다음 소정의 패터닝 공정 및 금속배선 공정을 실시함으로써 캐패시터 형성 공정이 완료된다.
- <69> 여기서, 상부전극(52)은 하부전극(39) 물질과 동일한 것을 사용할 수 있으며, ECD 이외에 CVD, PVD 등을 이용할 수 있다.
- <70> 도 5는 본 발명에서 캐패시터 희생막 패턴 형성시 오정렬이 발생했을 경우의 캐패시터를 갖는 반도체소자의 단면도를 도시하는 바, 오정렬이 발생하더라도

씨드분리층(45)에 의해 제공되는 단차에 의해 유전체층(51)과 연결부(44)와의 직접적인 접촉을 피할 수 있게 된다.

<71> 도 5의 각 도면부호 명칭은 일치되는 도 4d의 도면부호와 동일하다.

<72> 한편, 본 발명에서의 씨드분리층을 사용하지 않고 씨드층을 두텁게 증착하여 콘택 플러그와 유전체층의 접촉을 방지할 수 있다고 볼 수도 있으나, 이럴 경우에는 이웃하는 씨드층과의 분리가 어렵게 되는 바, 본 발명에서의 상기 씨드분리층은 이웃하는 씨드층과의 분리 뿐만이 아니라 캐패시터 희생막 패턴 형성에 따른 하부와의 식각선택비를 제공하여 식각멈춤막으로서의 기능과 더불어 씨드층 형성에 따른 상부와 하부간의 단차를 제공하는 역할을 한다.

<73> 상기한 바와 같이 이루어지는 본 발명은, 연결부 및 절연층이 이루는 주변상에 연결부를 오픈시키도록 씨드분리층을 형성함으로써, 캐패시터 희생막 패턴 형성에 따른 오정렬이 발생하더라도 씨드분리층에 의해 제공되는 수직 단차에 의해 유전체층과 연결부의 직접적인 접촉을 방지할 수 있어 캐패시터의 유전 특성 열화를 최소화할 수 있음을 실시예를 통해 알아 보았다.

<74> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<75> 상술한 바와 같은 따른 본 발명은 캐패시터 희생막 패턴 형성시 오정렬에 다른 캐패시터의 유전 특성 열화를 방지할 수 있어 궁극적으로, 캐패시터를 구비한 반도체 소자의 수율을 향상시킬 수 있는 탁월한 효과를 기대할 수 있다.

【특허청구범위】

【청구항 1】

전도층을 구비한 기관 상부에 제공되는 절연층을 관통하여 상기 전도층에 연결된 연결부;

상기 연결부 및 상기 절연층이 이루는 주면 상에 제공되며, 적어도 상기 연결부를 오픈시키는 씨드분리층;

적어도 상기 씨드분리층의 오픈부에 매립된 씨드층; 및

상기 씨드층 상에 형성된 하부전극과, 상기 하부전극 상에 형성된 유전체층 및 상기 유전체층 상에 형성된 상부전극을 포함하는 캐패시터를 포함하는 반도체소자.

【청구항 2】

제 1 항에 있어서,

상기 씨드층은 상기 오픈부에 매립됨과 함께 상기 연결부와 상기 유전체층 사이에 개재되어 형성되는 것을 특징으로 하는 반도체소자.

【청구항 3】

제 1 항에 있어서,

상기 씨드분리층은 상기 절연층과 식각선택비를 갖는 물질을 포함하는 것을 특징으로 하는 반도체소자.

【청구항 4】

제 1 항에 있어서,

상기 씨드분리층은 50Å 내지 2000Å의 두께인 것을 특징으로 하는 반도체소자.

【청구항 5】

제 1 항에 있어서,

상기 씨드층은,

Pt, Ru, Ir, Os, W, Mo, Co, Ni, Au 및 Ag로 이루어진 그룹으로부터 선택된 어느 하나를 포함하는 것을 특징으로 하는 반도체소자.

【청구항 6】

제 1 항에 있어서,

상기 씨드층은 100Å 내지 10000Å의 두께인 것을 특징으로 하는 반도체소자.

【청구항 7】

제 1 항에 있어서,

상기 연결부는 상기 절연층에 평탄화된 것을 특징으로 하는 반도체소자.

【청구항 8】

제 1 항에 있어서,

상기 연결부는 플러그 및 배리어층을 포함하는 다층구조 임을 특징으로 하는 반도체소자.

【청구항 9】

제 8 항에 있어서,

상기 플러그는,

폴리실리콘, 텅스텐(W), 텅스텐실리사이드(W-silicide), TiN, TiAlN, TaSiN, TiSiN, TaN, TaAlN, TiSi 및 TaSi로 이루어진 그룹으로 부터 선택된 적어도 하나를 포함하는 것을 특징으로 하는 반도체소자.

【청구항 10】

제 8 항에 있어서,

상기 배리어층은 배리어메탈층 및 산소확산배리어층을 포함하는 다층구조임을 특징으로 하는 반도체소자.

【청구항 11】

제 10 항에 있어서,

상기 산소확산배리어층은 Ir, Ru, Pt, Re, Ni, Co 및 Mo로 이루어지는 그룹에서 선택되는 적어도 하나를 포함하는 것을 특징으로 하는 반도체소자.

【청구항 12】

제 10 항에 있어서,

상기 배리어메탈층은 TiN, TiAlN, TaSiN, TiSiN, TaN, RuTiN 및 RuTiO로 이루어지는 그룹에서 선택되는 적어도 하나를 포함하는 것을 특징으로 하는 반도체소자.

【청구항 13】

전도층을 구비한 기판 상부의 절연층을 관통하여 상기 전도층에 연결되는 연결부를 형성하는 단계;

상기 연결부 및 상기 절연층이 이루는 주면 상에 상기 연결부를 오픈시키는 씨드분리층을 형성하는 단계;

적어도 상기 씨드분리층의 오픈부를 매립하도록 씨드층을 형성하는 단계;

상기 씨드층 상에 캐패시터의 하부전극을 형성하는 단계;
상기 하부전극 상에 캐패시터의 유전체층을 형성하는 단계; 및
상기 유전체층 상에 캐패시터의 상부전극을 형성하는 단계
를 포함하여 이루어지는 반도체소자 제조 방법.

【청구항 14】

제 13 항에 있어서,
상기 씨드분리층의 오픈부는 상기 연결부의 일부와 상기 절연층의 일부 상
에 형성되는 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 15】

제 13 항에 있어서,
상기 오픈부에 매립된 상기 씨드층을 형성하는 단계는,
상기 오픈부를 포함한 전면에 씨드층을 증착하는 단계; 및
상기 씨드분리층 상에 상기 씨드층이 남도록 평탄화하는 단계
를 포함하는 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 16】

제 13 항에 있어서,

상기 씨드분리층은 상기 절연층과 식각선택비를 갖는 물질을 포함하는 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 17】

제 13 항에 있어서,

상기 절연층은 50Å 내지 2000Å의 두께인 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 18】

제 13 항에 있어서,

상기 하부전극을 형성하는 단계는,

적어도 상기 오목부와 오버랩되는 상기 씨드층 상부가 노출되도록 캐패시터 희생막 패턴을 형성하는 단계;

상기 노출된 씨드층 상에 전기화학증착법을 이용하여 상기 하부전극을 형성하는 단계;

상기 캐패시터 희생막 패턴을 제거하는 단계; 및

이웃하는 상기 하부전극과의 분리를 위해 상기 씨드층을 에치백하는 단계를 포함하는 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 19】

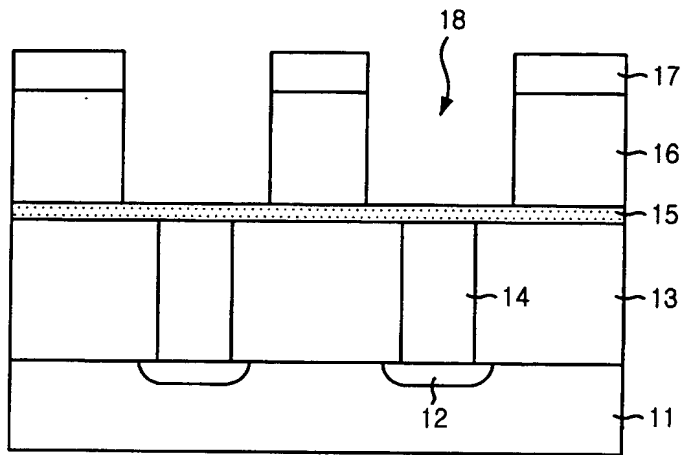
제 13 항에 있어서,

상기 씨드층은,

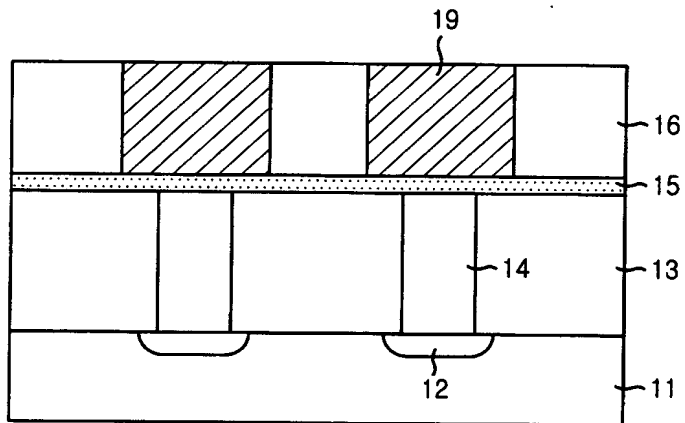
Pt, Ru, Ir, Os, W, Mo, Co, Ni, Au 및 Ag로 이루어진 그룹으로부터 선택된
어느 하나를 포함하는 것을 특징으로 하는 반도체소자 제조 방법.

【도면】

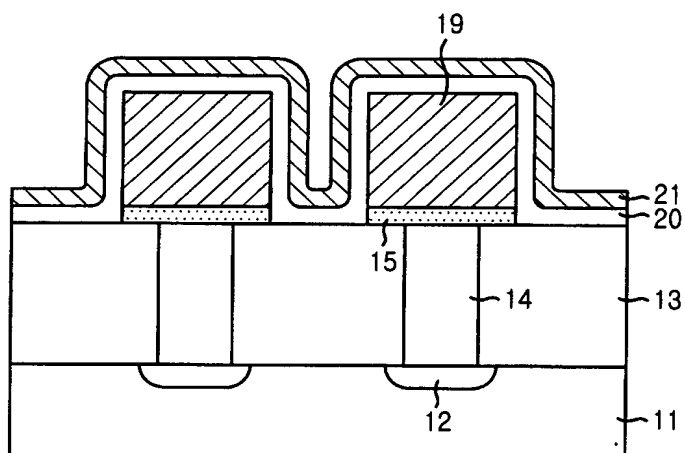
【도 1a】



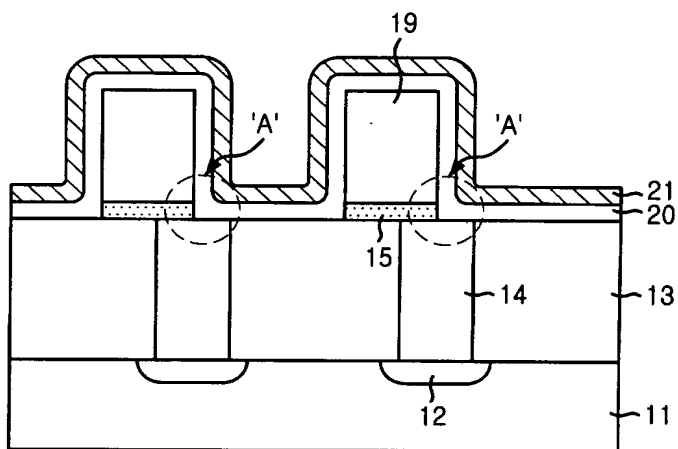
【도 1b】



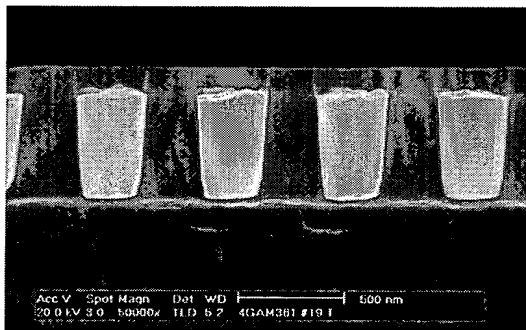
【도 1c】



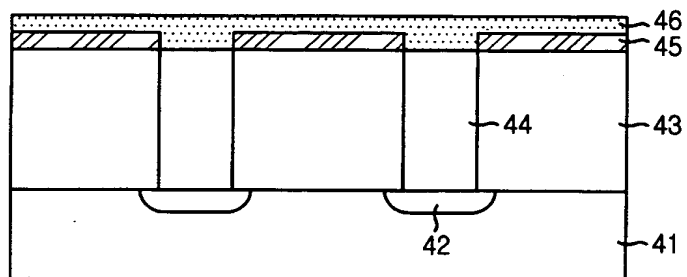
【도 2】



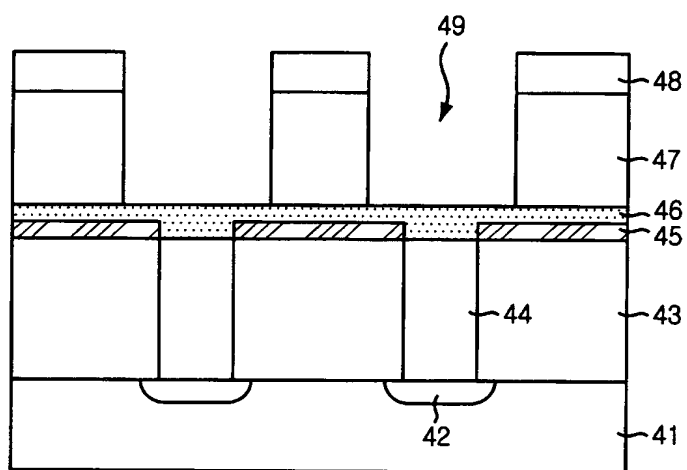
【도 3】



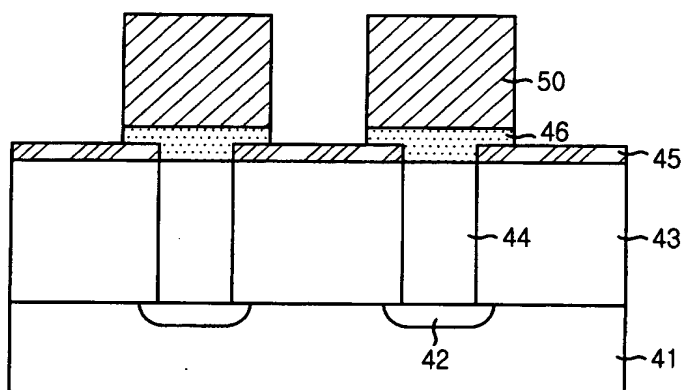
【도 4a】



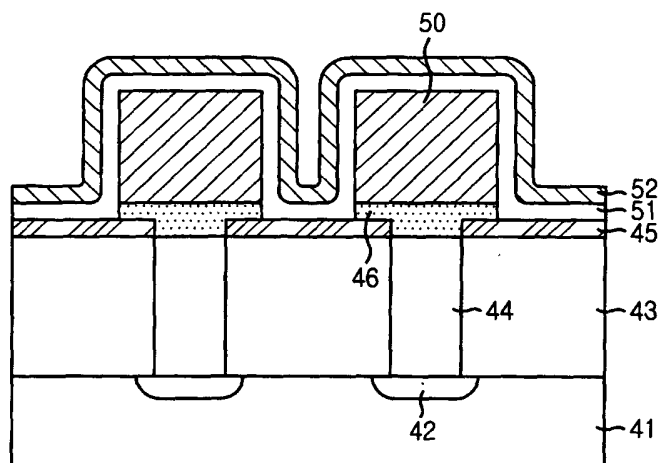
【도 4b】



【도 4c】



【도 4d】



【도 5】

